

526 Rec'd PCT/PTO 05 MAY 2000

DIALOG (R) File 347:JAPIO  
(c) 2000 JPO & JAPIO. All rts. reserv.

02679258: \*\*Image available\*\*  
INFORMATION PROCESSOR

PUB. NO.: 63-296158 [JP 63296158 A]  
PUBLISHED: December 02, 1988 (19881202)  
INVENTOR(s): INA KENZO  
YAMANASHI YOSHITSUGU  
APPLICANT(s): CANON INC [000100] (A Japanese Company or Corporation), JP  
(Japan)  
APPL. NO.: 62-129681 [JP 87129681]  
FILED: May 28, 1987 (19870528)  
INTL CLASS: [4] G06F-013/36  
JAPIO CLASS: 45.2 (INFORMATION PROCESSING -- Memory Units)  
JAPIO KEYWORD: R131 (INFORMATION PROCESSING -- Microcomputers &  
Microprocessors); R139 (INFORMATION PROCESSING -- Word  
Processors)  
JOURNAL: Section: P, Section No. 848, Vol. 13, No. 127, Pg. 41, March  
29, 1989 (19890329)

#### ABSTRACT

PURPOSE: To perform data transfer without being conscious of the bus width of a peripheral unit, by providing a means which converts data width between a central processing unit and the peripheral unit corresponding to transfer width control information.

CONSTITUTION: A conversion means which outputs information controlling the data width of the data transfer for the peripheral unit corresponding to a logical address outputted by the central processing unit as a part of physical address data is provided as an address information conversion means, and also, the means which converts the data width between the central processing unit and the peripheral unit corresponding to the transfer width control information is provided. In other words, in a case where the peripheral unit having a proper physical address is allocated in a logical address space by a memory managing unit (MMU) 3, a system is constituted so that control data to select bus width corresponding to the data bus width of the peripheral unit as a part of the physical address can be generated automatically. In such a way, it is possible to improve processing efficiency by eliminating a complicated procedure to control the transfer width by a microprocessor (MPU) 1 corresponding to a prescribed signal returned from a peripheral processor.

## ⑪ 公開特許公報 (A) 昭63-296158

⑫ Int. Cl. 1  
G 06 F 13/36識別記号 320  
厅内整理番号 B-8840-5B

⑬ 公開 昭和63年(1988)12月2日

審査請求 未請求 発明の数 1 (全8頁)

## ⑭ 発明の名称 情報処理装置

⑮ 特願 昭62-129681

⑯ 出願 昭62(1987)5月28日

⑰ 発明者 伊奈謙三 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
 ⑱ 発明者 山梨能嗣 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
 ⑲ 出願人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号  
 ⑳ 代理人 弁理士 加藤卓

## 明細書

## 1. 発明の名称

情報処理装置

## 2. 特許請求の範囲

中央処理装置と、情報入出力のための周辺装置とをアドレス情報変換手段を介して接続され、このアドレス情報変換手段が中央処理装置が出力する論理アドレスを周辺装置に固有の物理アドレスに変換して中央処理装置および周辺装置間のデータ入出力を行なう情報処理装置において、前記アドレス情報変換手段として、中央処理装置が出力する論理アドレスに対応する周辺装置に対するデータ転送データ幅を制御する情報を物理アドレスデータの一部として出力させる変換手段を設けたとともに、前記転送幅制御情報に応じて中央処理装置と周辺装置の間でデータ幅を変換する手段を設けたことを特徴とする情報処理装置。

## 3. 発明の詳細な説明

## 【産業上の利用分野】

本発明は情報処理装置、特にメモリ間の転送処

理を行なう情報処理装置に関する。

## 【従来の技術】

マイクロプロセッサおよびメモリなどから成る情報処理システムは、文字、画像、その他各種のデジタル化された情報の処理に広く用いられている。

マイクロプロセッサ(以下MPUという)のデータバス幅、すなわちプロセッサが一度に処理可能なデータ幅は4ビット、8ビット、16ビット、32ビット…と拡大されつつあり、一度に処理できるデータ量が増えることにより処理速度も大幅に改善されてきた。また、データバス幅の拡大にともない、アドレスバス幅も拡大され、これによりアクセス可能なメモリ容量も増大した。

ところが、MPUとともに用いられる周辺回路(装置)の制御用の入出力プロセッサ、あるいはDMA(ダイレクト、メモリ、アクセス)転送制御用のコントローラ、DMACなどのICの進歩は必ずしもMPUと歩調が揃ってはおらず、16あるいは32ビットプロセッサが主流になりつつ

ある現在でもそれよりも小さなデータおよびアドレスバス幅しか有していないものが用いられている。

そこで、バス幅の大きなMPUと周辺の入出力用プロセッサを同じシステム内で用いる場合、周辺のプロセッサ側にバッファメモリを設けたり、MPU側で使用するバス幅を周辺側に合せて使用するなどの方法が取られている。バッファメモリを用いないとすると、PIO(プログラマブル入出力ポート)などでは、MPU側に処理可能なデータ幅が8ビットなどであり、MPU側よりも小さいことを示す信号を返し、これに応じてMPU側で適合したデータ幅を採用する制御方式を用いることが考えられる。

#### 【発明が解決しようとする問題点】

しかし、周辺プロセッサに対するコマンド入力、あるいはステータスリード処理ではこのような方法でも支障がないが、大量のデータ転送ではシステムバスの専有時間が増大し、システムのオーバーヘッドが大きくなるという問題を生じ

る。

この点に鑑み、バッファメモリを用いてデータ転送を行なうようにし、転送時のバス幅を拡大することが考えられる。ところが、この方式では面倒なアドレスコード処理が必要で、またバッファメモリのデータ幅が16ビット、32ビットなどに固定されてしまうのでシステム拡張性が阻害されるという問題がある。

#### 【問題点を解決するための手段】

以上の問題点を解決するために、本発明においては、中央処理装置と、情報入出力のための周辺装置とをアドレス情報変換手段を介して接続され、このアドレス情報変換手段が中央処理装置が outputする論理アドレスを周辺装置に固有の物理アドレスに変換して中央処理装置および周辺装置間のデータ入出力を行なう情報処理装置において、前記アドレス情報変換手段として、中央処理装置が outputする論理アドレスに対応する周辺装置に対するデータ転送データ幅を制御する情報を物理アドレスデータの一部として出力させる変換手段を

設けるとともに、前記転送幅制御情報に応じて中央処理装置と周辺装置の間でデータ幅を変換する手段を設けた構成を採用した。

#### 【作用】

以上の構成によれば、中央処理装置が周辺装置のデータ転送幅に関わらず、周辺装置に対応した論理アドレスを指定するだけで、自動的に周辺装置に対応したデータ幅の変換が行なわれる。中央処理装置は周辺装置のバス幅を意識することなくデータ転送を行なえる。

#### 【実施例】

以下、図面に示す実施例に基づいて本発明を詳細に説明する。

第1図は本発明を採用した情報処理装置の構成を示している。ここでは各種のコンピュータシステムあるいはワードプロセッサや画像処理装置など、コンピュータを利用した情報処理装置に共通する構成が示されている。

図において、符号M1で示されているものはRAM素子などで構成された主記憶用のメモリで

ある。符号M2～M7で示されるものは接続される各周辺装置用のバッファメモリとして用いられるメモリで、同じくRAMなどを用いて構成される。ここでメモリM2はハードディスク装置7およびフロッピーディスク装置8のためのバッファ用メモリ、メモリM3はCRTディスプレイ10のためのバッファ用メモリ(VRAM)、メモリM4はキーボード12およびマウスやデジタイザなどのポインティングデバイス13のためのバッファ用メモリ、メモリM5はドットプリンタなどのイメージプリンタ15および画像読み取り用のイメージスキャナ16のためのバッファ用メモリ、メモリM6はCD-ROM、CDIないレピデオディスクなどの光学ディスク18のためのバッファ用メモリ、そしてメモリM7はこのシステムが接続されるローカルエリアネットワーク20との間で情報入出力を行なうためのバッファ用メモリとして用いられる。

上記のメモリM1～M7は不図示のデータバスおよび物理アドレスバス5によってMMU3に接

続されている。この物理アドレスバス5では、各メモリのメモリセルは常時一定のアドレスに一对一に対応づけて扱われる。

MMU(メモリマネージングユニット)3は整置の主制御部であるMPU1のファミリーチップあるいは用いるMPU1あるいは使用するメモリ電子に応じて設計されたカスタムチップやディスクリート回路などから構成される。MMU3とMPU1は論理アドレスバス2によって接続されている。

MMU3はMPU1による論理アドレスバス2を介したアドレッシングを物理アドレスバス5上の物理アドレスに変換する処理を行なう。この処理によって、主記録用のメモリM1のみならず各周辺装置用のメモリM2～M7を動的に管理し、メモリ効率を向上させることができる。

ここで、第2図にMMU3の構造を示す。第2図において符号51はMPU1から論理アドレスバス2を介して出力される論理アドレスデータを示している。CPUの出力する論理アドレスは所

定のビット長を有し、その上位、中位および下位の所定の3つのブロックに分割される。ここで符号51Aは上位のセグメントデータ、51Bはページデータおよび符号51Cはアドレスデータである。

セグメントデータ51A、ページデータ51Bはそれぞれアドレス変換のためのテーブルメモリから成るセグメントマップ52、ページマップ53に入力される。これによりメモリの使用状況に応じて主記録用のメモリM1およびバッファ用メモリM2～M7をマッピングし、アドレス用のレジスタ54～58に管理情報および物理アドレス5に出力する変換された物理アドレス情報を出力する。

セグメントマップ52の変換された出力データおよびページデータ51Bはページマップ53に入力され、その出力がレジスタ58に出力される物理アドレスの一部、レジスタ54に出力されるバスライン制御情報(PBC)、およびレジスタ55に出力される管理フラグとなる。レジスタ

56に出力される物理アドレスは入力された論理アドレスのアドレスデータ51Cとページマップ53から出力された変換されたアドレスデータから構成される。

ここでレジスタ54のバスライン制御情報は第1図に示された各周辺装置のバス幅制御コード、レジスタ55の管理フラグはシステムで走行するプログラムの管理情報で、システムプログラムおよびユーザプログラムのいずれのデータであるかを識別するためのデータ、プログラム的に物理的メモリ空間をアクセス可能か否かを知らせるエンタリービット、あるいはユーザプログラムで物理空間をアクセスしたかどうかを識別するためのアクセスビットなどから構成される。レジスタ56に出力される物理アドレスはページマップ53の出力と入力アドレスデータ51Cの論理和によって形成される。

第3図は第2図においてレジスタ54～56に出力されるメモリアドレッシングのための管理情報および物理アドレス情報を詳細に示している。

図において符号Protは前記の管理フラグで、5ビットにより構成され、ビット5はエンタリービット、ビット4およびビット3はプロテクションビット、ビット2およびビット1はアクセスビットとなっている。

図において符号PBCは周辺装置のバス幅制御用の付加情報であり、本実施例の場合、PBC1、PBC0の2ビットにより構成される。図示のようにこの2ビットの00～10の3つの状態に対応して周辺装置の32、16、8ビットのデータバス幅が識別される。なお、PBC1、PBC0がともに1の状態は本実施例では使用していない。

第4図は第1図のハードディスク7、フロッピーディスク8とシステムのデータバス111間のインターフェース回路を示している。ここでシステムバス111は32ビット幅を有するものとする。図において符号105は第1図のメモリM5を構成するバッファメモリで、この4つの領域105A～105Dはそれぞれ8ビットのデータ

タバスB1～B4を介してデータバス111とマルチブレクサ103に接続される。

上記の周辺データバスB1～B4とシステムのデータバス111はバスゲート106～109を介して接続される。いずれの周辺バスB1～B4をシステムに接続するかはバスゲートコントローラ110により前記のバスライン制御情報PBC(PBC1, PBC0)に従って制御される。

マルチブレクサ103は、8ビットのみの入出力バスしか有さないディスクコントローラ101と周辺バスB1～B4の接続を制御するもので、各バスの接続はマルチブレクサ104が選択出力するバスライン制御情報PBCの2ビットの値、またはカウンタ102の2ビット出力により制御される。

カウンタ102はディスクコントローラ101の入出力情報量を計数するものである。

周辺バスB1～B4は次のように制御される。ここではバスB1～B4と順に上位になるように扱われる。8ビット転送幅の場合には、バス

B1のみが用いられ、16ビット転送幅ではバスB1, B2が用いられる。32ビット転送幅ではバスB1, B2, B3, B4が全て用いられる。

したがってシステムバス111との入出力では、バスゲートコントローラ110はゲート106～109を次のように制御する。

PBC1, PBC0が1, 0(転送幅8ビット)の場合ゲート106がシステムバス111と周辺バスB1を接続、遮断する。PBC1, PBC0が0, 1(転送幅16ビット)の場合ゲート106およびゲート107がシステムバス111と周辺バスB1, B2を接続/遮断する。また、PBC1, PBC0が0, 0の場合には全てのゲート106～109がシステムバス111と周辺バスB1～B4を接続/遮断する。

一方、マルチブレクサ103は次のようにバスB1～B4を制御する。

まず、PBC1, PBC0が1, 0の場合、システムバス111による転送幅がディスクコントローラ101と同じ8ビットであるから、ディス

クコントローラ101とバスB1を接続し、直接入出力を行なうことができる(この場合、バッファメモリ105を用いても、用いなくてもよい)。

システム側の転送幅が16ないし32ビットの場合には、ディスクコントローラ101とシステムバス111の間のデータ入出力にはバッファメモリ105を介在させなければならない。この場合、マルチブレクサ104はカウンタ102の出力を選択し、マルチブレクサ103のバス選択がディスクコントローラ101の転送バイト数に応じて制御されるようにする。例えばシステムバスとの間で32ビット幅の転送を行なう場合、データはディスクコントローラ101とバッファメモリ105の領域105A～105Dの間で順に入出力される。すなわちシステムバス111からディスクへ32ビット転送を行なうとすれば4バイトずつデータが転送され、この連続した4バイトはそれぞれ、領域105A～105Dに格納される。

したがって、この4バイトをディスクに入力するには、カウンタ102で示されるディスクへの転送バイト数に応じて周辺バスB1～B4を順次マルチブレクサ103を介してディスクコントローラ101の8ビットバスに接続する。ディスクからの出力の場合には、上記と逆の動作により、ディスクから出力される4バイトを領域105A～105Dにそれぞれ格納すればよい。

もちろん、上記の入出力動作において、システムバス111ないしディスクとバッファメモリ105の間では所定バイト数のブロックごとに転送を行なう。

第5図は、第2図のMMU3のページマップ53の内容を示している。第5図において、符号Pnは論理アドレスのページを示している。また、表中の数字は入力論理アドレスに対応して決定される物理アドレスを示すが、ここではバスライン制御データPBCの割り付けのみを示している。

ここでは、第4図に示したディスクの領域とし

てP3～P6が用いられるものとする。前記のディスクコントローラ101は、プログラム上特定のアドレスを持つものとして扱われる。たとえば、ディスクコントローラ101に入出力の切り換えなどのためにコマンドを入力したり、ディスク入出力結果などを示すディスクコントローラ101のステータスを読み出したりする必要がある場合には、MPU1は論理空間上の特定のアドレスをアクセスする処理を行なう。

このアドレスはページP3、P4に置かれる。その場合、コマンド入力アドレスはページP3に、ステータスリードのためのアドレスはページP4に設定される。

前記のようにディスクコントローラ101は8ビット(1バイト)のバスを有し、コマンド入力、ステータスリードはバイト単位でおこなわなければならない。したがって、ページP3、P4では8ビット幅の入出力を行なうように、ページP3、P4において変換されるバスライン制御情報PBCが8ビット転送を示す1、0(PBC

1=1、PBC0=0)となるように割り付けを行なう。

これにより、MPU1がディスクコントローラ101に対してコマンド入力、ステータスリードを行なう場合、ページP3、P4の所定の論理アドレスを指定するだけで、適切なバスライン制御情報1、0を含む物理アドレスが生成され、8ビット転送が行なわれる。この場合、第4図の周辺バスB1のみを用いてシステムバス111とディスクコントローラ101が直結され、システムバス111とディスクコントローラ101の間で直接コマンド入力、ないしステータスリードが行なえる。

一方、ディスクの入出力領域として割り当たるページP5、P6のバスライン制御情報PBCは、32ビット転送を行なうとして0、0(PBC1、PBC0=0)になるように割り付けを行なう。ここで、ページP5はディスクへの出力バッファ、ページP6は入力バッファとして用いるものとする。

これにより、ディスクに対するデータ入出力では、システムバス111とバッファメモリの間で32ビットの転送が行なわれる。前記のように、システムバス111とバッファメモリ105の間では周辺バスB1～B4を用いて4バイトが並列に入出力され、バッファメモリ105とディスクコントローラ101の間では、転送バイト数に応じてバッファメモリ105の領域105A～105DをバスB1～B4を順に切り換えることによりアクセスし、1バイトづつ直列に入出力を行なう。

したがって、MPU1のソフトウェアは転送幅を意識することなく、単にページP5、P6に対するブロック転送を行なうだけでよい。

次に、第6図を参照して以上の全体構成における動作につき説明する。

第6図は動作の一例としてハードディスク7に対するデータ入出力を示している。

第6図のステップS1は、起動時などに所定プログラムに応じて行なわれるMMU3のマップメ

モリの初期化を示している。ここでは、周辺装置のメモリM1～M7に対応して適切な管理フラグProt、バスライン制御情報が物理アドレスの一部として論理アドレス入力に応じて自動的に生成されるようにセグメントマップS2、ページマップS3の内容が初期化される。特に、ディスクの入出力領域であるページP3～P6に関しては第4図のようにバスライン制御情報PBCの値が割り付けられる。

ステップS2ではディスクに対する入出力を行なうかどうかが判定される。ディスクアクセスを行なう場合には、ステップS3においてまずディスクコントローラ101にコマンド入力を行なうためMMU3によりページP3を指定する。これによりバスライン制御情報PBCとして、8ビット転送を示す1、0が自動的に生成され、各部に出力される。

ステップS4ではバスライン制御情報PBCの解説が周辺装置側で行なわれ、ステップS5では第4図のゲートコントローラ110、マルチプレ

クサ103がバスライン制御情報PBCの値に応じて8ビット転送を行なうよう制御される。この場合、システムバス111とディスクコントローラ101は周辺バスB1を介して直結される。

ステップS6では、バイト単位でディスクコントローラ101に対するコマンド入力が行なわれる。ここで、MPU1は周辺装置の転送幅を意識することなく、所定アドレスに対するバイト単位のデータ転送を行なえばよい。

ステップS7ではコマンドが終了したかどうかを検出し、コマンド入力が終了したらステップS8に移行する。

ステップS8ではディスクコントローラ101のステータスを確認するため、ページP4を指定する。ページP4にはディスクコントローラ101からステータスデータが返送されてくる。ステップS9ではディスクコントローラ101からの転送が終了したかどうかを判定し、転送が終了したらステップS10に移行する。

ステップS10においては、返送されたステー

タスデータを解読し、ステップS11においてディスクコントローラ101のステータスデータが正常値を示しているかどうかを判定し、正常であればステップS12に移行する。

ステータスデータが異常を示していれば、ステップS13に移行して再試行を行なう。エラー警告を発生するなどの所定処理を行なう。

ステップS12では、ディスクに対する出力バッファとしてページP5(読み出しの場合はページP6)を指定し、これによりバスライン制御情報PBCが第5図に示すように32ビット転送を示す0、0に自動的に制御される。

ステップS14では、周辺装置側でバスライン制御情報PBCの解読が行なわれ、これに応じてステップS15で周辺バッファB1～B4の接続が前述のように切り換えられ、ステップS16においてバッファメモリ105とシステムバス111との間で4バイト(32ビット)の並列転送を行なえるように転送路が切り換えられる。

ステップS17では転送が終了したかどうかが

判定され、終了していなければ、ステップS15に戻って転送を繰り返す。

以上のように、本実施例によれば、固有の物理アドレスを有する周辺装置を論理アドレス空間にMMU3によって割り付ける場合、物理アドレスの一部として周辺装置のデータバス幅に対応したバス幅が選択されるような制御データを自動的に生成できるようになっているので、従来のように周辺プロセッサ側の返送する所定信号に応じてMPUが転送幅を制御するような面倒な手順を除去でき、処理効率を向上できる。

また、MPUのバス幅に間わらず、種々のバス幅を有する周辺プロセッサを自由に組み合わせて用いることができる。たとえば64ビット、128ビットなどバス幅が大きなMPUが開発された場合でも、容易に8ビット幅などのバス幅の狭い周辺プロセッサを使用でき、その場合のMPUの処理は上記のようになんら複雑化することがない。

しかも、本実施例によれば、バス幅の制御情報

はMMUのマッピング時にソフトウェア的に設定できるので、周辺装置を改造したり、交換したりする場合でも容易にバス幅を変更できる。

また、第4図に示したような周辺装置のインターフェース回路は、周辺装置に間わらずほぼ同様の構造とすることができるので、汎用のLSIなどとして構成することができ、ハードウエアを簡略化し、コストダウンが可能である。

#### 【発明の効果】

以上から明らかなように、本発明によれば、中央処理装置と、情報入出力のための周辺装置とをアドレス情報変換手段を介して接続され、このアドレス情報変換手段が中央処理装置が送出する論理アドレスを周辺装置に固有の物理アドレスに変換して中央処理装置および周辺装置間のデータ入出力を行なう情報処理装置において、前記アドレス情報変換手段として、中央処理装置が送出する論理アドレスに対応する周辺装置に対するデータ転送データ幅を制御する情報を物理アドレスデータの一部として出力させる変換手段を設けること

もに、前記転送幅制御情報に応じて中央処理装置と周辺装置の間でデータ幅を変換する手段を設けた構成を採用しているので、中央処理装置が周辺装置のデータ転送幅に関わらず、周辺装置に対応した論理アドレスを指定するだけで、自動的に周辺装置に対応したデータ幅の変換が行なわれる所以、中央処理装置は周辺装置のバス幅を意識することなくデータ転送を行なえ、処理効率を向上できるという利点を有する。

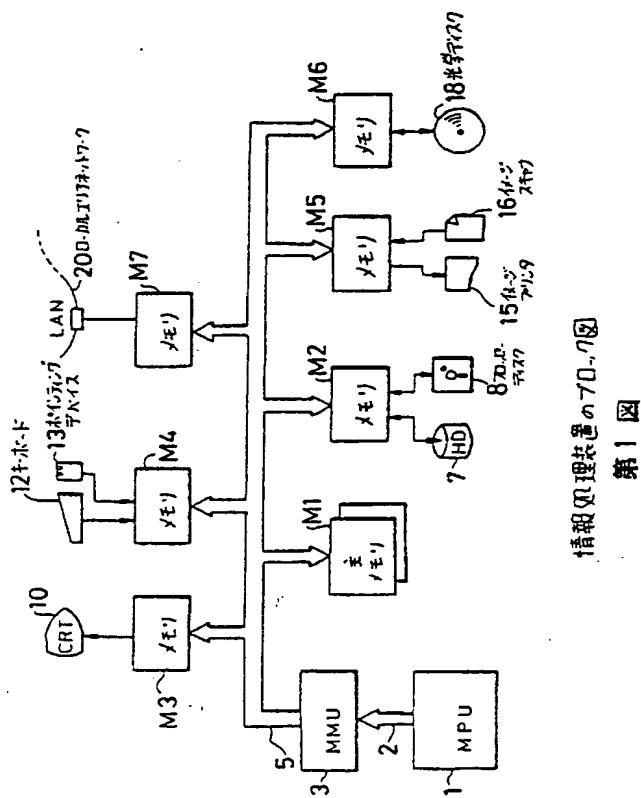
#### 4. 図面の簡単な説明

第1図は本発明を採用した情報処理装置の構成を示したブロック図、第2図は第1図のMMUの構成を示したブロック図、第3図はMMUの出力データを示した説明図、第4図は第1図ディスク入出力部の構成を示した回路図、第5図はMMUのページマップの構成を示した説明図、第6図は第1図の全体構成における動作を示したフローチャート図である。

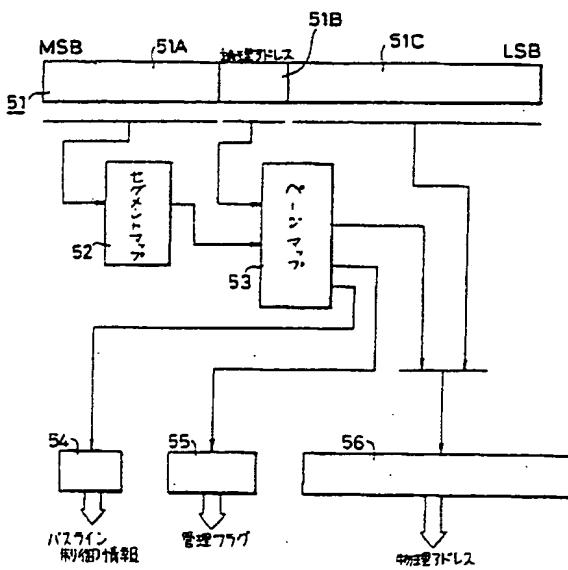
1 … MPU      2 … 論理アドレスバス  
3 … MMU      7 … ハードディスク

- 8 … フロッピーディスク
- 101 … ディスクコントローラ
- 102 … カウンタ
- 103, 104 … マルチブレクサ
- 110 … ゲートコントローラ
- 111 … システムバス
- M1 ~ M7 … メモリ

特許出願人 キヤノン株式会社  
代理人 弁理士 加藤直



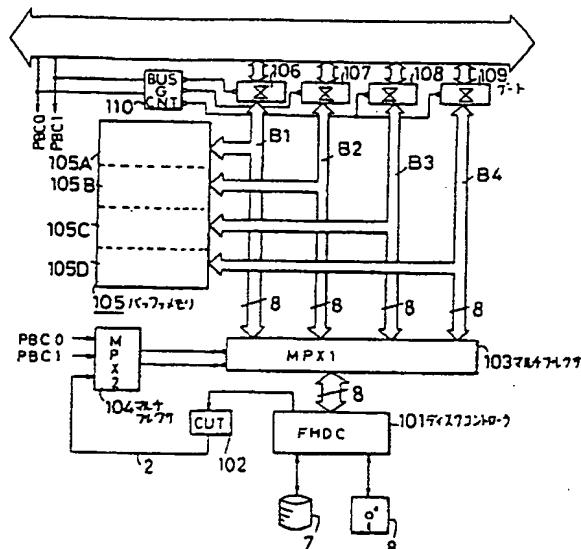
情報処理装置のブロック図  
第1図



MMUのブロック図  
第2図

Prot	PBC	PA
管理フラグ	バスライン 制御コード	物理アドレス
	PBC1.0	有効バス幅
	0 0	32 ビット
	0 1	16 "
	1 0	8 "
	1 1	未使用
	Prot	
	b5	エンドリ-バット
	b4	7-ビット
	b3	7-ビット
	b2	7-ビット
	b1	7-ビット

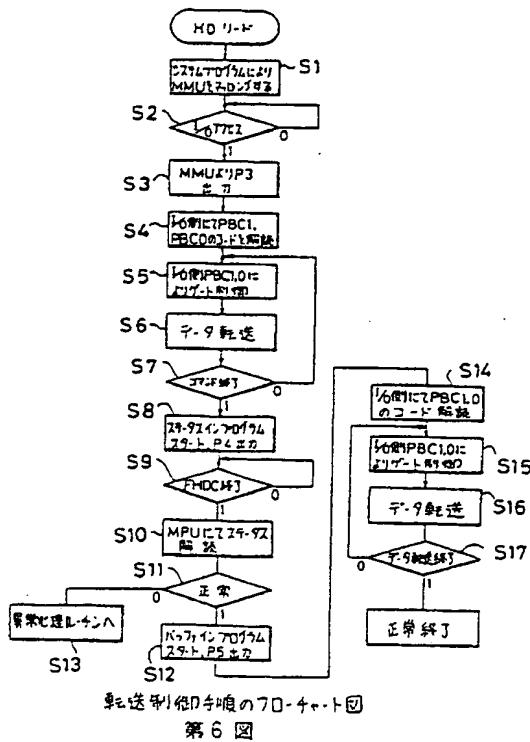
物理アドレスの説明図  
第3図



## 周辺入出力回路の回路図 第4図

	Prot	PBC	PA
P1		0 0	
P2		0 0	
P3		1 0	
P4		1 0	
P5		0 0	
P6		0 0	
P7		0 1	
P8		0 1	
P9			
⋮			
⋮			

ハ・ジマッフの説明図  
第5図



転送制御手順の70-44-1回  
第6図